

12.10.2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年10月17日
Date of Application: 2003年10月17日

出願番号 特願2003-357994
Application Number:

[ST. 10/C] : [J P 2 0 0 3 - 3 5 7 9 9 4]

出願人 松下電器産業株式会社
Applicant(s):

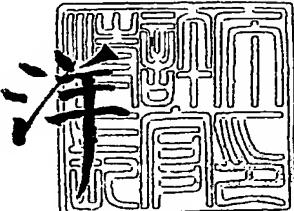
REC'D 02 DEC 2004
WIPO PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年11月19日

特許庁長官
Commissioner,
Japan Patent Office

小川



—~~ST~~ AVAILABLE COF

出証番号 出証特2004-3105182

【書類名】 特許願
【整理番号】 2900655413
【提出日】 平成15年10月17日
【あて先】 特許庁長官殿
【国際特許分類】 H04B 7/26
【発明者】
【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 パナソニックモバイルコミュニケーションズ株式会社内
【氏名】 本塚 裕幸
【発明者】
【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 パナソニックモバイルコミュニケーションズ株式会社内
【氏名】 山中 隆太朗
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社
【代理人】
【識別番号】 100105050
【弁理士】
【氏名又は名称】 鶴田 公一
【手数料の表示】
【予納台帳番号】 041243
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9700376

【書類名】特許請求の範囲**【請求項 1】**

n ビット（n は自然数）の入出力ポートを有しALU処理を行う複数の第1セルと、n ビットの入出力ポートを有しビット処理を行う1又は複数の第2セルと、前記各セルを n ビットバスのネットワークで接続することを特徴とするデータ処理装置。

【請求項 2】

前記第2セルは、出力ビット数がnよりも少ない場合、出力に関係無い階位のビットを「0」または「1」に固定することを特徴とする請求項1記載のデータ処理装置。

【請求項 3】

前記第2セルは、n ビット入力1ビット出力の任意の論理関数を実現する回路と、その出力をn ビットに分配し、分配されたn ビット信号に任意のマスクをかける回路とを具備することを特徴とする請求項2記載のデータ処理装置。

【請求項 4】

1つの第1セル内ALUのキャリーアウトと他の1つの第1セル内ALUのキャリーインを接続することを特徴とする請求項1から請求項3のいずれかに記載のデータ処理装置。

【請求項 5】

第2セルの論理回路をn+1 ビット入力1 ビット出力の任意の論理関数を実現する回路とし、1つの第1セル内ALUのキャリーアウトを前記第2セルの入力とし、前記第2セルの論理回路の出力を他のAセル内キャリーインに接続することを特徴とする請求項4記載のデータ処理装置。

【書類名】明細書

【発明の名称】データ処理装置

【技術分野】

【0001】

本発明は、再構成可能なデータ処理装置に関する。

【背景技術】

【0002】

近年、DSP (Digital Signal Processor) 並の柔軟性 (プログラマビリティ) と ASIC (Application Specific Integrated) 並の高速・並列処理を実現する再構成可能なデータ処理装置が望まれている。

【0003】

これに対し、FPGA (Field Programmable Gate Array) により再構成可能なデータバスを実現すると、FPGAは任意の論理関数を実現するために1ビットごとに再構成可能な演算器を備える必要があることから、再構成のために必要なデータ (コンフィギュレーションデータ) のデータ量が多く、再構成に長い時間がかかり、回路の動作速度も遅くなってしまう。

【0004】

そこで、ALU (Arithmetic and Logic Unit) をマトリクス状に配列したアレイ型プロセッサにより再構成可能なデータバスを実現することが考えられている。アレイ型プロセッサでは、データは4ビット、8ビット、16ビット、32ビットなどのバス単位で扱われるため、FPGAにて実現する場合に比べて処理が高速で、ALUのコンフィギュレーションデータも少なくてすむという利点がある。

【0005】

しかし、多くのアプリケーションは、ALU向きの処理だけでなく、ビット単位の処理を必要とする部分を含むため、このようなアプリケーションをアレイ型プロセッサ上に実装した場合、ビット処理部分がボトルネックとなり処理速度の低下や必要リソース (ALU数) の増大を招く。

【0006】

そこで、この問題を解決するためには、ALU処理部とビット処理部を組み合わせて用いることが有効であると考えられる。

【0007】

従来のALU処理部とビット処理部を組み合わせたデータ処理装置として、(1) バス化されたサブアレイとバス化されていないサブアレイを接続する構造 (例えば、特許文献1)、あるいは、(2) アレイ型プロセッサの全ての構成要素 (プロセッサエレメント) に処理ビット数が異なる複数の演算器を持たせ、または、複数の演算器に合わせて複数種類のビット幅を持つバスを持つ構造 (例えば、特許文献2) が提案されている。

【特許文献1】特表2002-544700号公報

【特許文献2】特開2003-076668号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、従来の(1)の構造では、2つのサブアレイ間の通信がボトルネックとなり、全体の性能は低下してしまうという問題がある。

【0009】

また、従来の(2)の構造では、複数種類のビット幅を持つバスをそれぞれ備えるため配線が増大しバスの利用率が低くなる、プロセッサエレメント内の演算器の利用率が低くなる、複数の演算器を設定してビット幅変換の処理も行う必要があるため必要なコンフィギュレーションデータ量が増大してしまうという問題がある。

【0010】

本発明はかかる点に鑑みてなされたものであり、ALU処理とビット処理とをそれぞれ

効率よく実行し、高速・並列処理を実現することができる再構成可能なデータパスを備えるデータ処理装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明のデータ処理装置は、 n ビット（ n は自然数）の入出力ポートを有しALU処理を行う複数の第1セルと、 n ビットの入出力ポートを有しビット処理を行う1又は複数の第2セルと、前記各セルを n ビットバスのネットワークで接続する構成を探る。

【0012】

本発明のデータ処理装置は、前記第2セルは、出力ビット数が n よりも少ない場合、出力に関係無い階位のビットを「0」または「1」に固定する構成を探る。

【0013】

本発明のデータ処理装置は、前記第2セルは、 n ビット入力1ビット出力の任意の論理関数を実現する回路と、その出力を n ビットに分配し、分配された n ビット信号に任意のマスクをかける回路とを具備する構成を探る。

【0014】

これらの構成により、ビット処理を行う1つのセルで複数種類のビットの演算を行うことができ、ALU処理とビット処理とをそれぞれ効率よく実行し、高速・並列処理を実現することができる。この結果、セル内部の構造とネットワークを単純化し、必要なコンフィギュレーションデータ量を小さくすることができるので、面積が小さく、高速に動作する再構成可能なデータパスを実現することができる。

【0015】

本発明のデータ処理装置は、1つの第1セル内ALUのキャリーアウトと他の1つの第1セル内ALUのキャリーインを接続する構成を探る。

【0016】

本発明のデータ処理装置は、第2セルの論理回路を $n+1$ ビット入力1ビット出力の任意の論理関数を実現する回路とし、1つの第1セル内ALUのキャリーアウトを前記第2セルの入力とし、前記第2セルの論理回路の出力を他のAセル内キャリーインに接続する構成を探る。

【0017】

これらの構成により、 n ビット以上の演算を実行可能とすることができる。また、ネットワークトポロジ（形状）の均一性が保たれる。

【発明の効果】

【0018】

本発明によれば、ビット処理を行う1つのセルで複数種類のビットの演算を行なうことができ、ALU処理とビット処理とをそれぞれ効率よく実行し、高速・並列処理を実現することができる。この結果、セル内部の構造とネットワークを単純化し、必要なコンフィギュレーションデータ量を小さくすることができるので、面積が小さく、高速に動作する再構成可能なデータパスを実現することができる。

【発明を実施するための最良の形態】

【0019】

本発明の骨子は、ALU処理を行うセルとビット処理を行うセルを多数配置し、各セルは n ビットの入出力ポートを有し、それぞれのセルを n ビットバスのネットワークで接続し、さらに、ビット処理を行うセルにおいて、出力ビット数が n よりも少ない場合、出力に関係無い階位のビットを「0」または「1」に固定することである。

【0020】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0021】

（実施の形態）

本実施の形態では、図1に示すようにALU処理を行うAセル100とビット処理を行うBセル150を3:1の割合で配列してデータ処理装置を構成する。また、図1において

て、Aセル100とBセル150はともに4ビットの入出力ポートを有し、バス幅は4ビットとする。

【0022】

Aセル100は、図2に示すようにセレクタ201と、ALU202と、レジスタファイル203と、バススイッチ204、205とから構成される。なお、Aセル100は、図示しないコンフィギュレーションメモリに、セル内の回路要素を制御するためのコンフィギュレーション情報、すなわち、ALU202が実行する命令、セレクタ201の接続方法、バススイッチ204、205の接続方法を示す情報を保持する。コンフィギュレーションメモリの内容を書き換えることによって、セルの機能とセル間のネットワークを再構成することができる。

【0023】

セレクタ201は、コンフィギュレーション情報に従い、バスからの入力またはレジスタファイル203に保持された値から、ALU202へ入力する2つの値を選択する。ALU202は、2つの入力データに対して、加算、減算、論理和、論理積、排他的論理和、1ビットシフトのうちコンフィギュレーション情報により指定された演算を行う。レジスタファイル203は、ALU202の演算結果を保持する。バススイッチ204、205は、ALU202およびレジスタファイル203からの出力をコンフィギュレーション情報に従い転送する。

【0024】

Bセル150は、図3に示すように論理回路301と、セレクタ302と、ビットマスク回路303と、バススイッチ304、305とから構成される。なお、Bセル150は、図示しないコンフィギュレーションメモリに、セル内の回路要素を制御するためのコンフィギュレーション情報、すなわち、論理回路が実行する論理関数、セレクタの接続方法、バススイッチの接続方法、ビットマスク回路で使用するマスクの値を示す情報を保持する。

【0025】

論理回路301は、4入力1出力の再構成可能な回路であって、コンフィギュレーション情報によって指定された論理演算を行う。セレクタ302は、コンフィギュレーション情報に従い、ビットマスク回路303への入力を選択する。ビットマスク回路303は、コンフィギュレーション情報に従い、マスク値とAND演算またはOR演算を行うことにより、出力の特定のビットを「0」または「1」に固定する。バススイッチ304、305は、ビットマスク回路からの出力をコンフィギュレーション情報に従い転送する。

【0026】

以下、第1の例として、図4に示す畳み込み符号化回路を、図1のデータ処理装置にて構成する場合（図5、図6）について説明する。なお、図6は、図5と等価な回路を図1のアレイ上にマッピングした図である。

【0027】

図5において、回路501は図4のパラレル-シリアル変換回路401を実現し、回路502は図4の8ビットシフトレジスタ402を実現し、回路503、504はそれぞれ図4の8ビット入力パリティツリー403を実現する。

【0028】

また、図5において、4ビットのパラレルデータが4クロックに一度入力（input）され、4ビットバスのうち下位2ビットに符号化されたデータが出力（output）される。

【0029】

図7、8、9は、図5におけるB1セル151、B2セル152、B3セル153の内部で実行される演算を示す図である。図7のB1セル151は、論理回路301により4ビット入力パリティ計算を行い、さらに4ビットに分配された信号に対しビットマスク回路303にて「0001」とAND演算を行うことにより、演算結果1ビットを最下位ビットに出力し、他のビットに「0」を出力する。図8のB2セル152は、論理回路301により4ビット入力パリティ計算を行い、さらに4ビットに分配された信号に対しビット

トマスク回路303にて「0010」とAND演算を行うことにより、演算結果1ビットを第2位ビットに出力し、他のビットに「0」を出力する。図9のB3セル153は、論理回路301により入力の最上位ビットを取り出して4ビットに分配したのち、ビットマスク回路303にて「0011」とAND演算を行うことにより、入力の最上位ビットと同じ値を最下位ビット及び第2位ビットに出力し、他のビットに「0」を出力する。

【0030】

ここで、B1セル151と同様の機能をAセル100で実現するためには5個のAセル100が必要となる。また、B2セル152と同様の機能をAセル100で実現するためには5個のAセル100が必要となる。また、B3セル153と同様の機能をAセル100で実現するためには2個のAセル100が必要となる。

【0031】

また、上記従来の（1）の構造で畳み込み符号化回路を実装すると、構造化アレイ（パッケージアレイ）と非構造化アレイ（ビット処理アレイ）とのアレイ間の通信が多くなるため、これら2つのアレイをうまく連携させて使うことが難しく、結局、非構造化アレイ上にすべての回路をマッピングすることになってしまふと考えられる。この結果、コンフィギュレーションデータ量が多く、回路の動作可能速度が遅くなってしまい、FPGAに対する利点がなくなってしまう。

【0032】

また、上記従来の（2）の構造で畳み込み符号化回路を実装した場合、本発明と同等のセル数（PE数）が必要となり、本発明と比較して各セルが複雑になり、2種類のバスを持つため配線量が多くなり、面積が大きく、コンフィギュレーションデータ量が多くなってしまう。

【0033】

このように、本発明のデータ処理回路は、ALU処理を行うセルとビット処理を行うセルを多数配置し、各セルはnビットの入出力ポートを有し、それぞれのセルをnビットバスのネットワークで接続する。

【0034】

これにより、ビット処理を行う1つのセルで複数種類のビットの演算を行うことができ、ALU処理とビット処理とをそれぞれ効率よく実行し、高速・並列処理を実現することができ、少ないセル数で畳み込み符号化回路を実現することができる。また、nビットで統一されたネットワークを使うことができるため、配線を少なくすることができ、セル内部の構造とネットワークを単純化し、面積を小さくし、必要なコンフィギュレーションデータ量を小さくすることができる。

【0035】

さらに、ビット処理セル、ALU処理セルを分散して配置することにより、通信を分散させることができ、グローバルな配線を少なくすることができる。

【0036】

次に、第2の例として、図10に示すCRC演算回路を、図1のデータ処理装置にて構成する場合（図11、図12）について説明する。なお、図12は、図11と等価な回路を図1のアレイ上にマッピングした図である。ここで、回路1104の3つのAセル100と同等の機能を3つのBセル150（B2セル152、B3セル153、B4セル154）で実現することにより図1のアレイ上へのマッピングを実現している。

【0037】

図11において、回路1101は図10のパラレルシリアル変換回路1001を実現し、回路1102は図10の24ビットシフトレジスタから成るCRC演算回路1002を実現し、回路1103は生成多項式を作る回路1003を実現する。なお、B2セル1を実現し、B3セル153、B4セル154には生成多項式のビット表現がマスクとして保持されており、回路1103は、シフトレジスタの最上位ビットが「1」のとき生成多項式を出力し、最上位ビットが「0」のとき「0」を出力する。

【0038】

図13、14、15、16は、図11におけるB1セル151、B2セル152、B3セル153、B4セル154の内部で実行される演算を示す図である。図13のB1セル151は、入力の最上位ビットを取り出して各階位のビットに出力する。図14のB2セル152は、最下位ビット、第2位ビットの入力をそのまま出力し、他のビットに「0」を出力する。図15のB3セル153は、第2位ビット、第3位ビットの入力をそのまま出力し、他のビットに「0」を出力する。図16のB4セル154は、最下位ビット、第2位ビット、第3位ビットの入力をそのまま出力し、最上位ビットに「0」を出力する。

【0039】

なお、B2セル152、B3セル153、B4セル154は、定数とのANDであるのでAセル100でも実現可能である。

【0040】

なお、本実施の形態では、Aセル100、Bセル150を格子状に配列する場合について説明したが、本願発明はセルの配置状態については限定がなく、木構造等、規則的に配列されていればよい。

【0041】

また、本願発明は、図17に示すように、1つのAセル100内ALUのキャリーアウトと他の1つのAセル100内ALUのキャリーインを接続することができる。これにより、nビット以上の演算を実行可能とすることができます。

【0042】

また、本願発明は、Bセル150の論理回路301を1ビット増やしてn+1ビット入力1ビット出力の任意の論理関数を実現する回路とし、図18に示すように、1つのAセル100内ALUのキャリーアウトをBセル150の入力とし、Bセル150の論理回路301の出力を他のAセル100内キャリーインに接続することができる。この結果、Bセル150の論理回路301において増えた1ビットの部分にはAセル100のキャリーアウトが入力される。これにより、図17のAセル100と整合性が良くなり、ネットワークトポジ（形状）の均一性が保たれる。

【0043】

また、本願発明は、Bセル150において、論理関数をルックアップテーブルにより実現することができる。

【産業上の利用可能性】

【0044】

本発明は、バス化されたALU処理部とビット処理部を組み合わせ、再構成可能なデータパスを備えるデータ処理装置に用いるに好適である。

【図面の簡単な説明】

【0045】

【図1】本発明の一実施の形態に係るデータ処理装置のセルの配置構成の例を示す図

【図2】上記実施の形態に係るデータ処理装置のAセルの内部の論理回路を示す図

【図3】上記実施の形態に係るデータ処理装置のBセルの内部の論理回路を示す図

【図4】畳み込み符号化回路の回路構成を示す図

【図5】図1のデータ処理装置にて図4に示す畳み込み符号化回路を構成する場合の回路構成を示す図

【図6】図1のデータ処理装置にて図4に示す畳み込み符号化回路を構成する場合の回路構成を示す図

【図7】図5及び図6におけるB1セルの内部の論理回路を示す図

【図8】図5におけるB2セルの内部の論理回路を示す図

【図9】図5におけるB3セルの内部の論理回路を示す図

【図10】CRC演算回路の回路構成を示す図

【図11】図1のデータ処理装置にて図10に示すCRC演算回路を構成する場合の回路構成を示す図

【図12】図1のデータ処理装置にて図10に示すCRC演算回路を構成する場合の

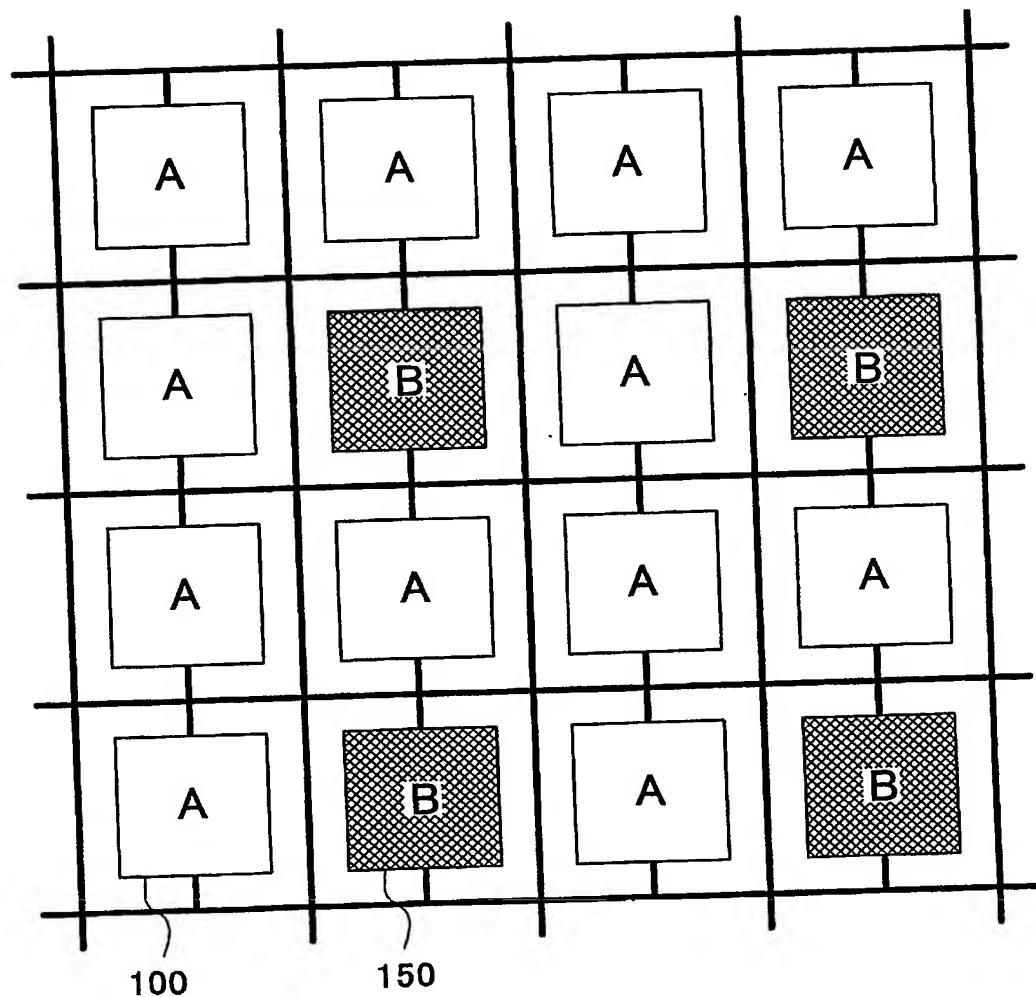
回路構成を示す図

- 【図13】図11におけるB1セルの内部の論理回路を示す図
- 【図14】図11におけるB2セルの内部の論理回路を示す図
- 【図15】図11におけるB3セルの内部の論理回路を示す図
- 【図16】図11におけるB4セルの内部の論理回路を示す図
- 【図17】上記実施の形態に係るデータ処理装置のAセルの内部の論理回路を示す図
- 【図18】上記実施の形態に係るデータ処理装置のBセルの内部の論理回路を示す図

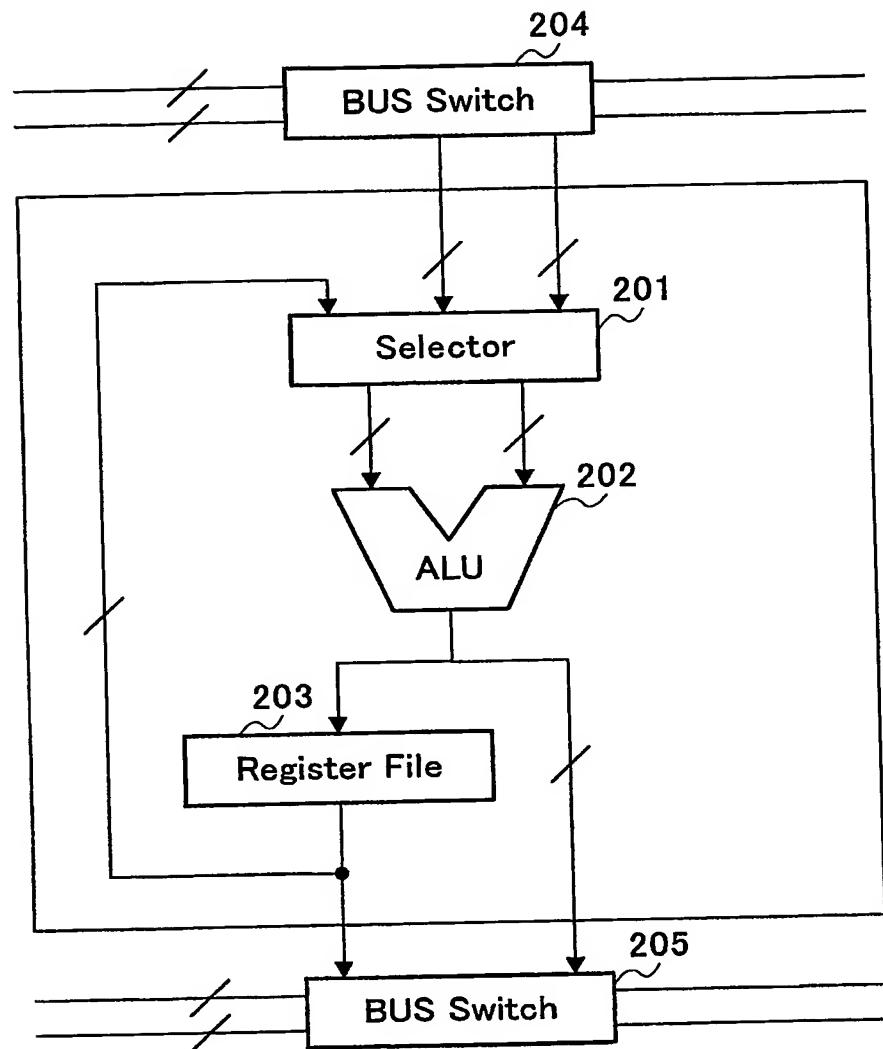
【符号の説明】**【0046】**

- 100 Aセル
- 150 Bセル
- 201、302 セレクタ
- 202 ALU
- 203 レジスタファイル
- 204、205、304、305 バススイッチ
- 301 論理回路
- 303 ピットマスク回路

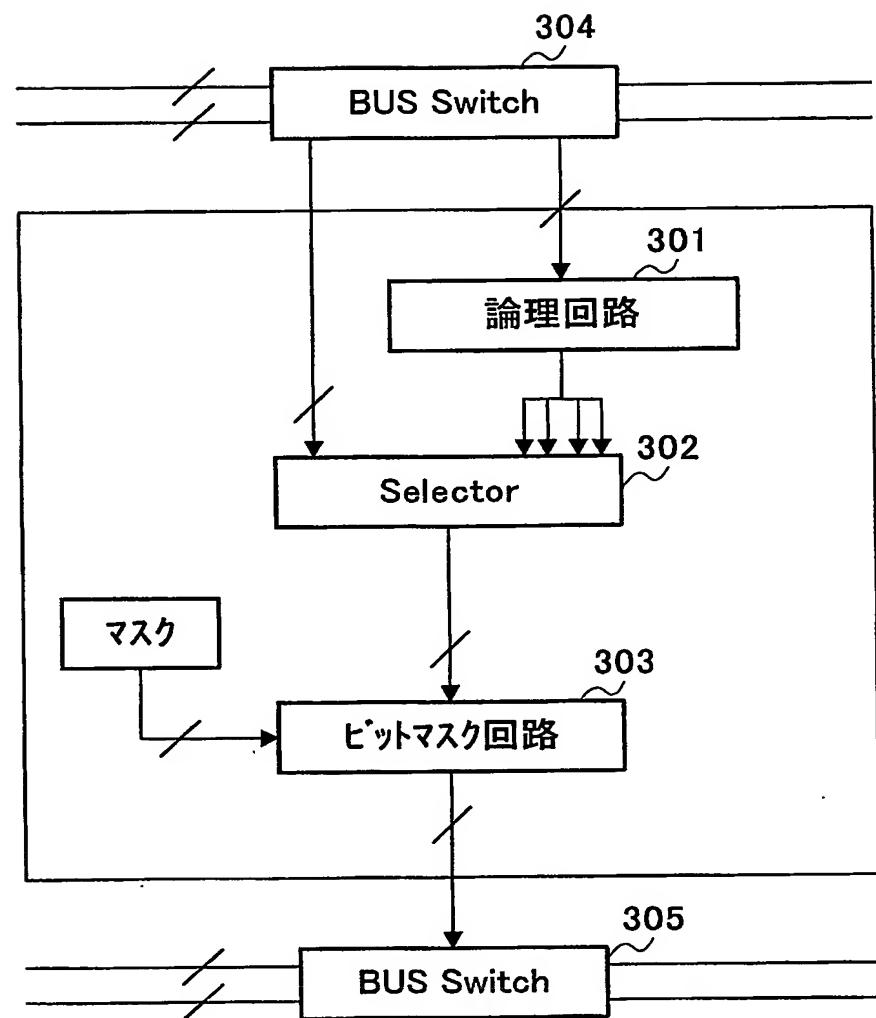
【書類名】図面
【図1】



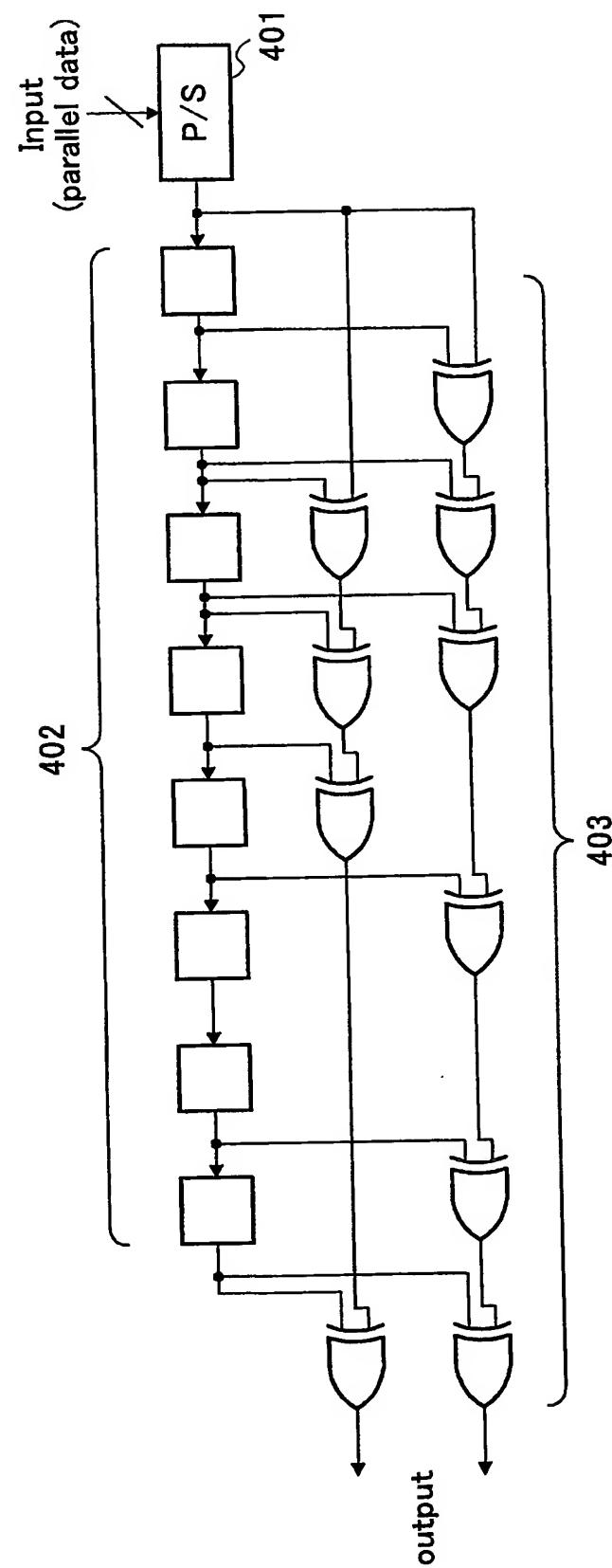
【図2】



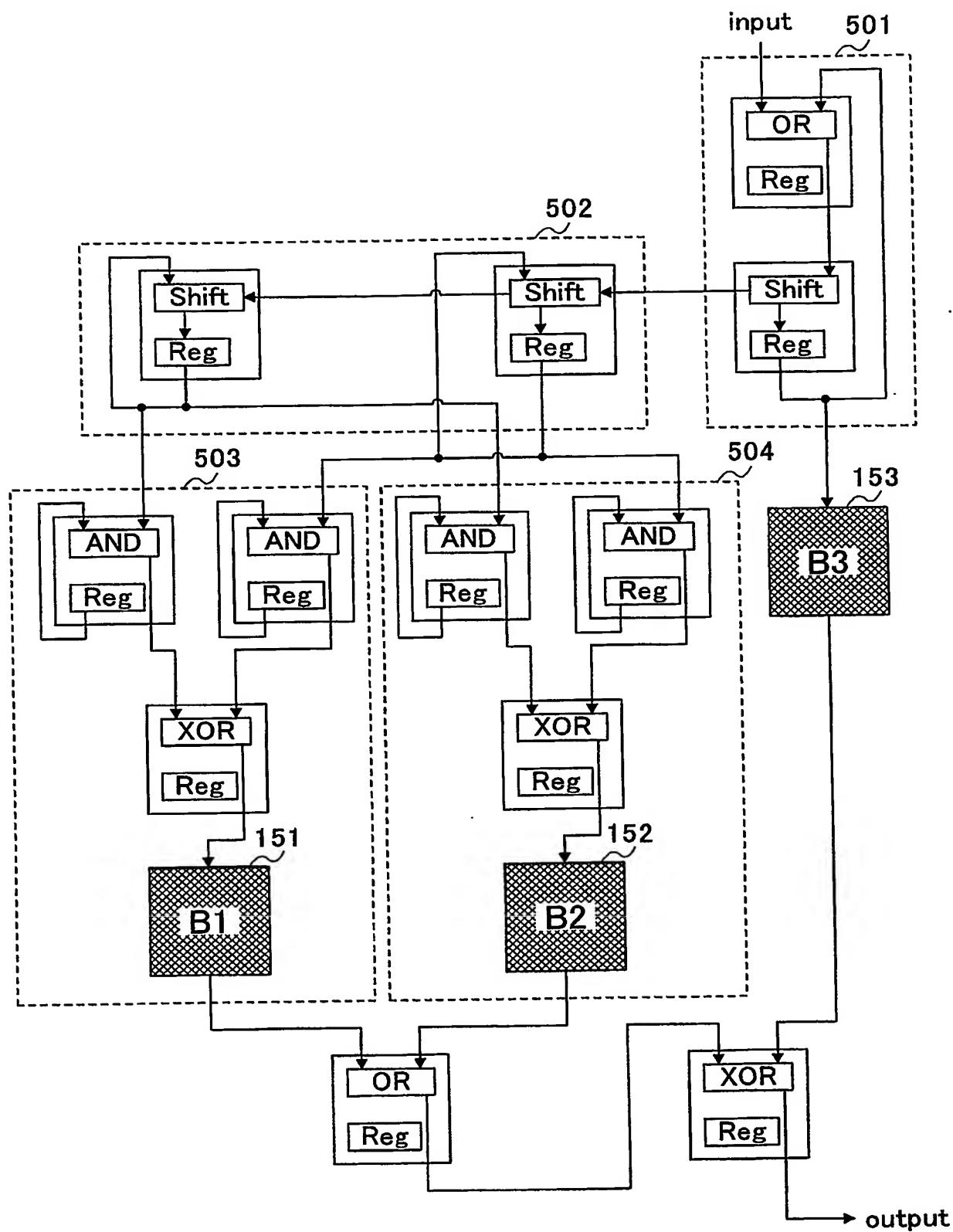
【図3】



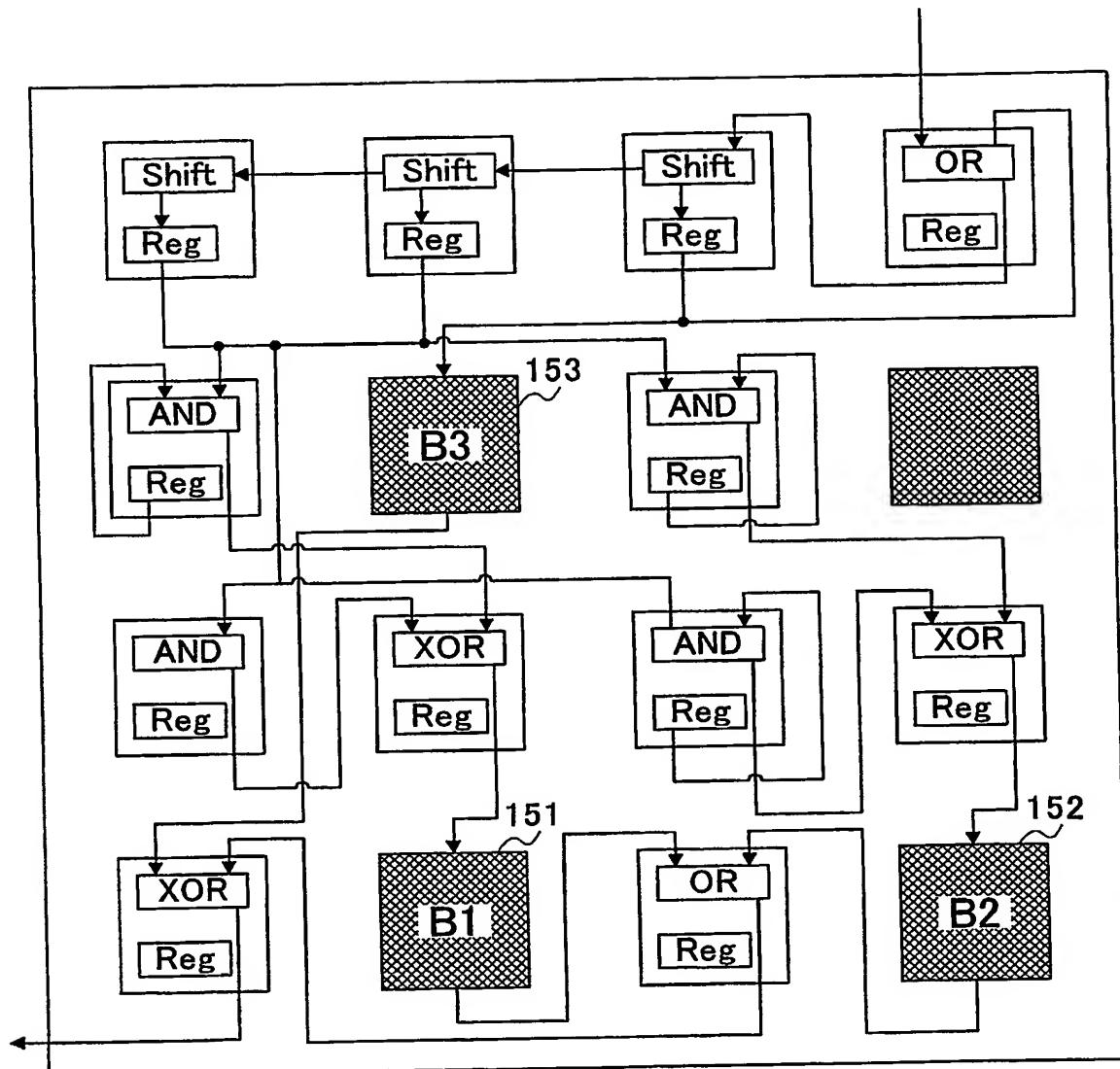
【図4】



【図5】

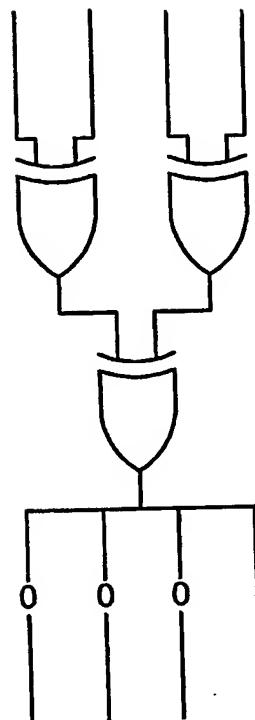


【図6】



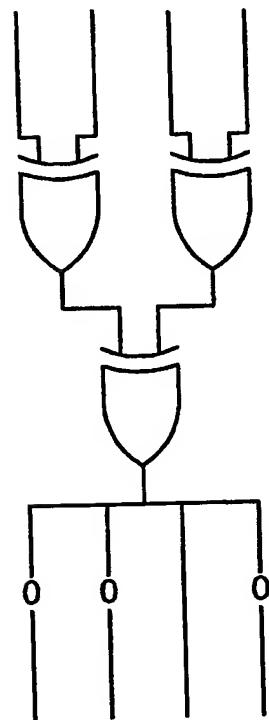
【図7】

151:B1セル



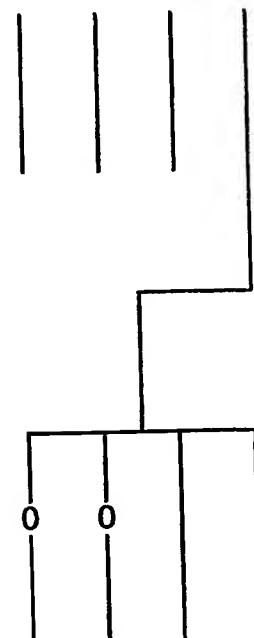
【図8】

152:B2セル

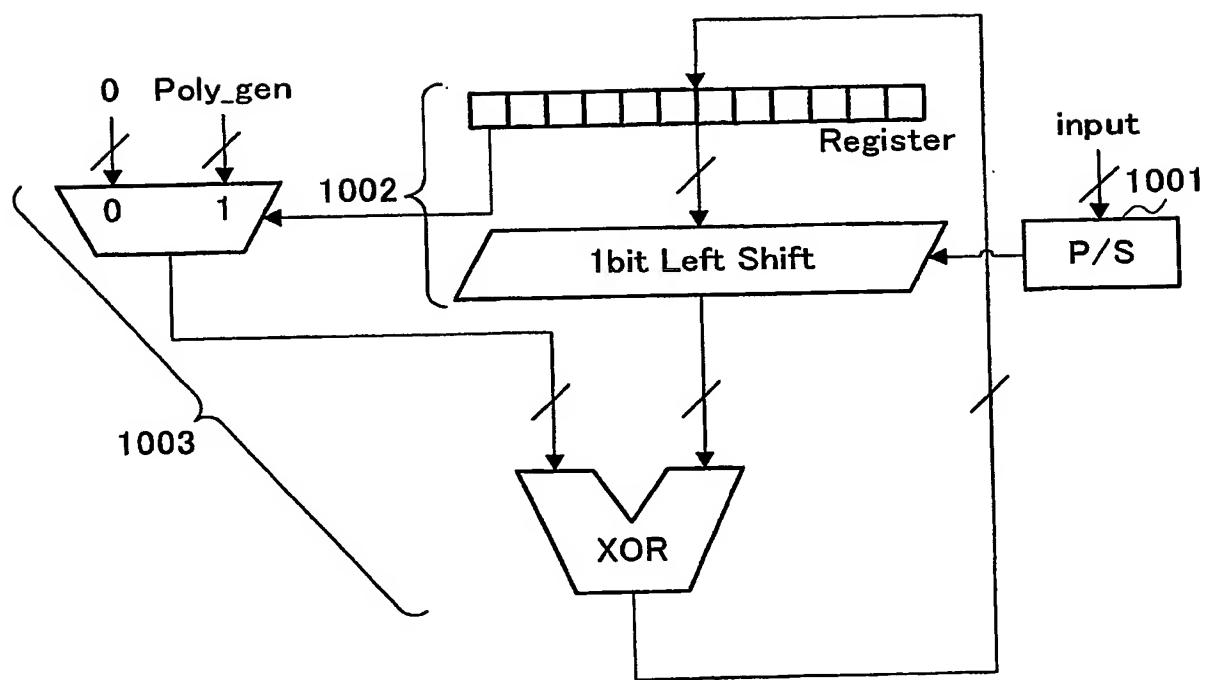


【図9】

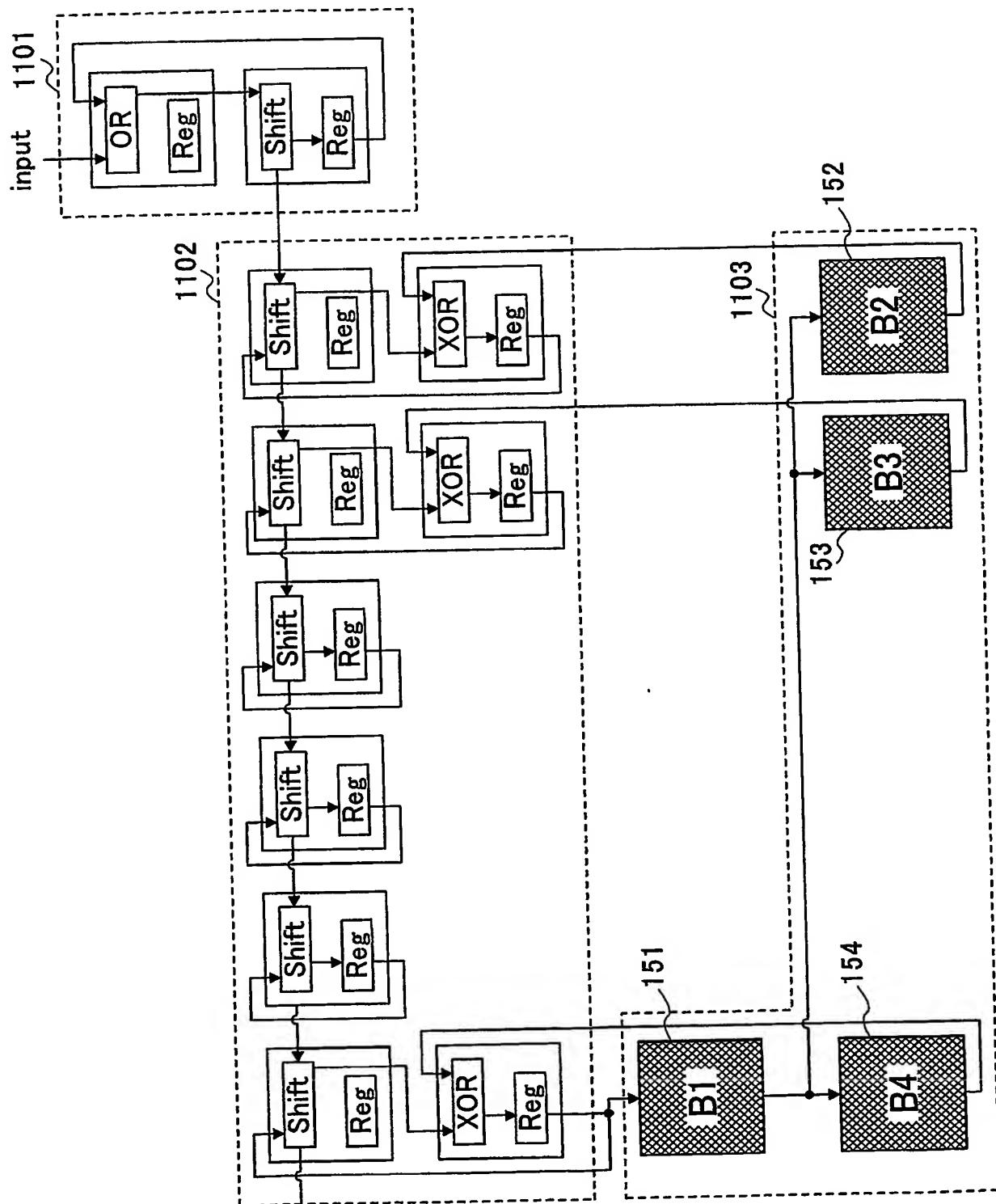
153:B3セル



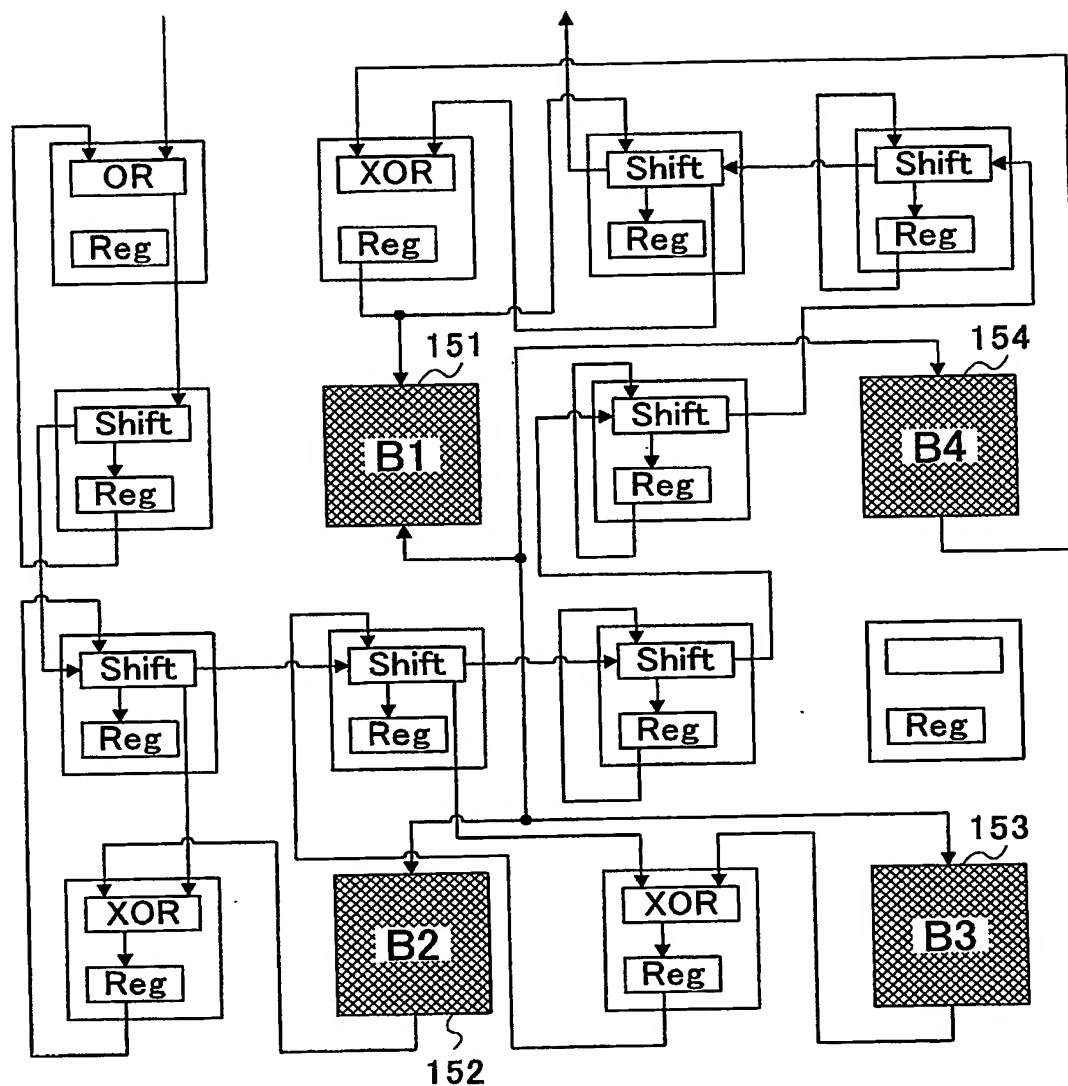
【図10】



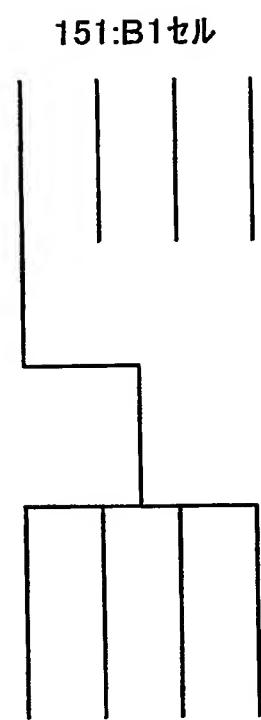
【図 11】



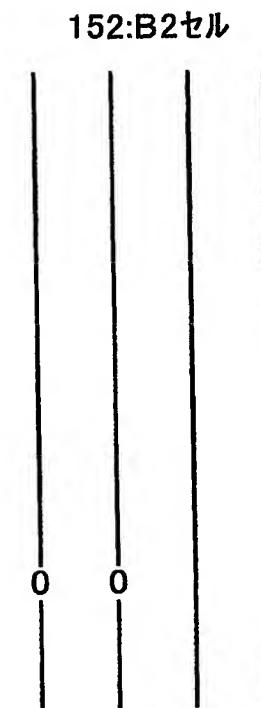
【図12】



【図13】

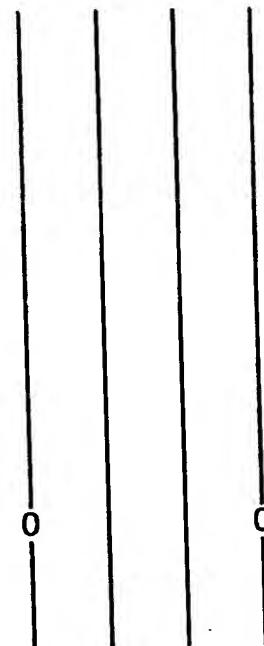


【図14】



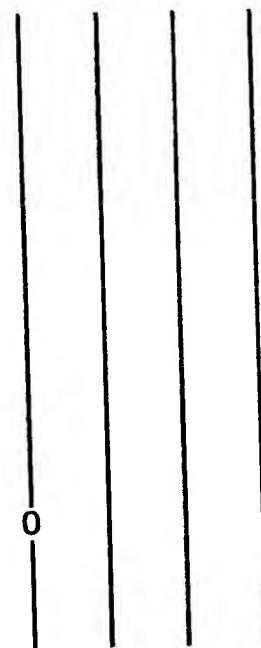
【図15】

153:B3セル

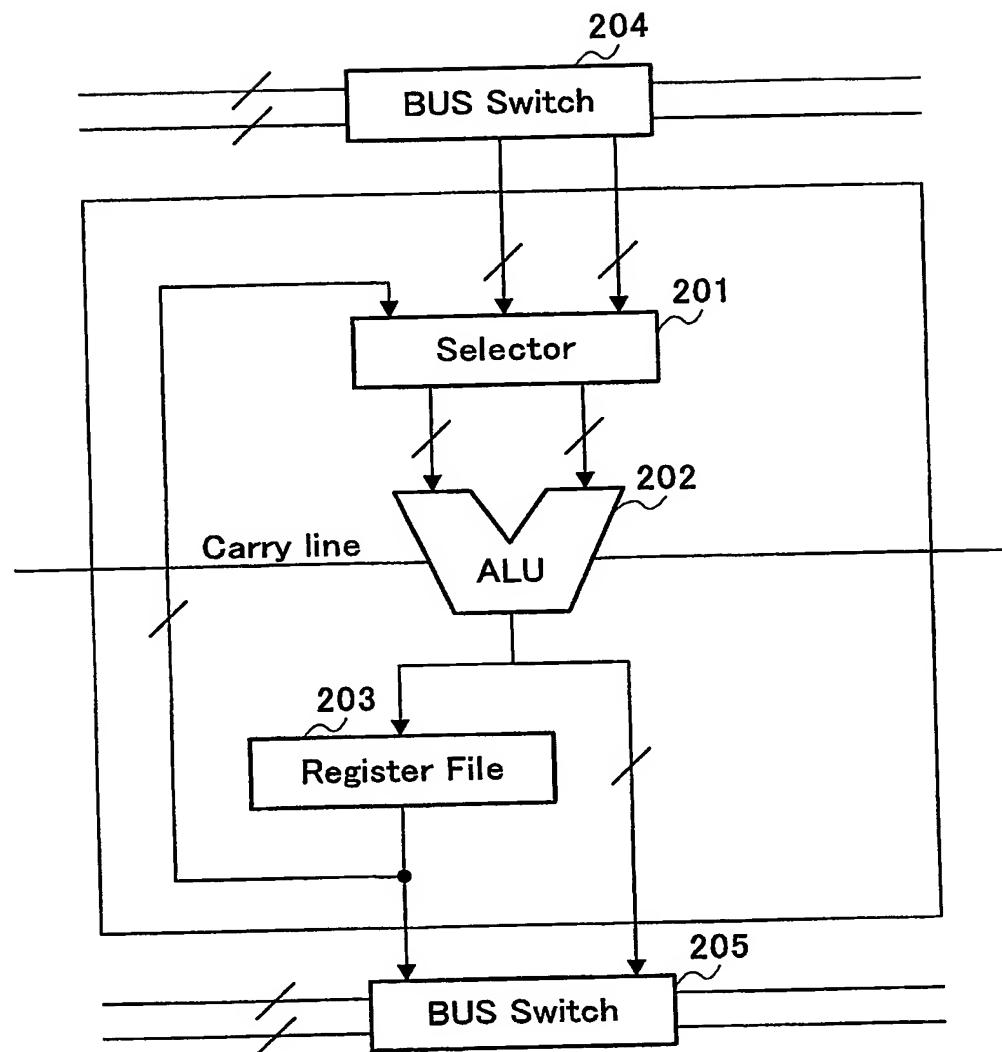


【図16】

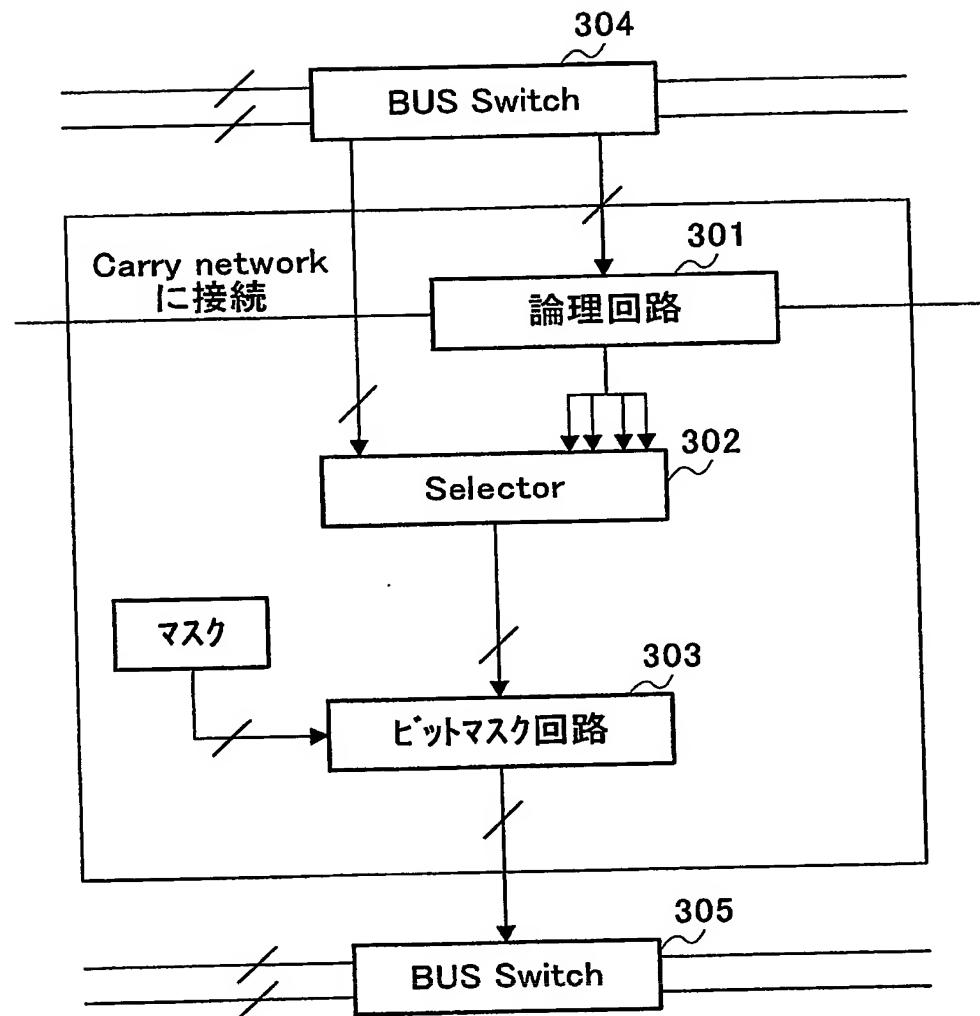
154:B4セル



【図 17】



【図18】



【書類名】要約書

【要約】

【課題】 バス化されたALU処理部とビット処理部を組み合わせてデータ処理する際に、ALU処理とビット処理とをそれぞれ効率よく実行し、高速・並列処理を実現すること。

【解決手段】 ALU処理を行うAセル100とビット処理を行うBセル150を多数配置し、各セルはnビットの入出力ポートを有し、それぞれのセルをnビットバスのネットワークで接続する。さらに、Bセル150において、出力ビット数がnよりも少ない場合、出力に関係無い階位のビットを「0」または「1」に固定する。

【選択図】 図1

特願 2003-357994

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住所 大阪府門真市大字門真1006番地
氏名 松下電器産業株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.